Epreuve de Moyenne Durée Master 1 ESE Module DSP

Nom : **Prénom :** **Groupe :**

Exercice N°1 (12 Pts):

1- Qu'elle est le rôle du séquenceur à l'intérieur du CPU dans le DSP

Décodage des instructions
Pilotage des autres unités (1)

2- Le DSK6713 dispose de combien d'unités fonctionnelles, citez-les

8 unités fonctionnelles
4 ALU (virgule fixe et virgule flottante) L1, L2, S1 et S2 (1)
2 ALU (Virgule fixe) D1 et D2
2 Multiplicateurs (Virgule fixe et virgule flottante) M1 et M2

3- Le DSK6713 dispose de combien de mémoire cache ? citez-les

L1P cache (4 Kbytes)
L1D cache (4 Kbytes) (1)
L2 cache (64 Kbytes)

4- Le Bus responsable de la communication entre le CPU du DSK6713 et la mémoire externe s'appelle comment ?

EMIF (Interface de mémoire externe) (1)

5- Les opérations de Pipeline dans le processeur C6000 on trouve :
La partie F (Fetch) elle se compose de combien de phases **4**
La partie D (Decode) elle se compose de combien de phases **2** (1)
La partie E (Execute) elle se compose de combien de phases **10**

6- Représentez le nombre –0,625 en binaire et en Hexadécimale en virgule flottante simple précision selon le format 32 Bits IEEE 754

En binaire : 1011 1111 0010 0000 0000 0000 0000 0000 (2)
En hexadécimale : 0xBF200000

7- Expliquez le terme « VLIW » (Very Long Instruction Word). Quelles améliorations apporte un processeur VLIW par rapport à une architecture DSP classique ?

Plusieurs instructions par cycle, empaquetées dans une "super-instruction" large
Architecture plus régulière, plus orthogonale, plus proche du RISC
Jeu de registres uniforme, plus large (2)

8- Les opérations au sein du DSK6713 sont réalisées en deux ou quatre groupes de registres ?

Deux groupes de registres de 32 bits
A0 à A15 et B0 à B15 (1)

9- Le DSP série C6000 dispose de combien de Timers citez-les ?

Deux Timers
TOUT et TINP (1)

10- Le DMA dans le DSP TMS320F2833 dispose de combien de canaux

Le DMA dispose de 6 canaux (1)

Exercice N°2 (4 Pts):

Un processeur à 1,8 GHz exécute un programme de benchmark qui utilise un mélange de 4 types d'instruction:

Type instruction	Nombre d'instructions exécutées	Nombre de cycle / instruction
Opération entière	150000	1
Transfert mémoire	45000	2
Opération flottante	55000	2
Contrôle (sauts)	20000	2
Affichage	500	15

1- Combien de cycles se programme prendra-t-il pour s'exécuter ?

150000 * 1 + 2 * (45000 + 55000 + 20000) + 15 * 500 = 397500 1

2- Quelle sera la durée d'exécution ?

397500 / (1,8 * 10^{-9}) environ 220 µs 1

3- Calculez le CPI (cycle per instruction) de ce programme, défini comme le rapport entre le nombre de cycles requis pour son exécution et le nombre d'instructions.

Il y a 270500 instructions exécutées en tout, donc CPI = 397500 / 270500 = 1,47 2

Exercice N°3 (4 Pts):

Dans cet exercice nous allons considérer un DSP ayant un pipeline à 5 étages, chacun prenant un cycle.

1- Une instruction entre dans le pipeline au cycle i, à quel cycle aura-t-elle fini son exécution ?

Elle s'exécute en i+0, i+1, i+2, i+3, i+4 et sera donc complètement terminée en i+5 1

2- On considère un programme de n instructions. calculez le nombre de cycles nécessaires pour son exécution.

n + (p – 1) si p est le profondeur du pipeline, donc ici n + 4 1

3- Quel est le CPI (cycle per instruction) de ce programme sur ce processeur ?

n+4 / n, tend donc vers 1 quand n tend vers +∞ 1

4- Quel serait le CPI sur un processeur n'ayant pas de pipeline ?

5n/n = 5 1

Bonne Chance

Exercice N°2 (6 Pts):

Générer deux signaux PWM avec une fréquence de 1 KhzePWM1A avec un rapport cyclique de 20% et ePWM1B avec un rapport de 40% Mode Up-Down et un prés-calcrde 4.

EPwm1Regs.TBCTL.bit.CLKDIV =2 ; 0,5

EPwm1Regs.TBCTL.bit.HSPCLKDIV =1 ; 0,5

EPwm1Regs.TBCTL.bit.CTRMODE =2 ; 0,5

EPwm1Regs.AQCTLB.all =0x0600 ; 1

EPwm1Regs.AQCTLA.all =0x0060 ; 1

EPwm1Regs.TBPRD =9375 ; 1

EPwm1Regs.CMPA.half.CMPA =7500 ; 0,75

EPwm1Regs.CMPB =5625 ; 0,75

Exercice N°3 (8 Pts) :

4 conversions analogiques numériques **ADCA1ADCA3ADCB2ADCB5** Mode DUAL SEQUENCER Activation de la conversion par un signal ePWM Affichage des résultats : utilisez ADCRESULTXX

AdcRegs.ADCTRL1.all =0x0780; 1

AdcRegs.ADCTRL2.all =0x8909; 1

AdcRegs.ADCTRL3.all =0x0006; 1

AdcRegs.ADCMAXCONV.CONV.all =0x0011; 1

AdcRegs.ADCCHSELSEQ1.bit.CONV00=1; 0,5

AdcRegs.ADCCHSELSEQ1.bit.CONV01=3; 0,5

AdcRegs.ADCCHSELSEQ2.bit.CONV08= 10; 0,5

AdcRegs.ADCCHSELSEQ2.bit.CONV09= 13; 0,5

EPwm2Regs.ETPS.all =0x1100; 1

EPwm2Regs.ETSEL.all =0xAA00; 1

voltage_1 =AdcRegs.ADCRESULT01; 0,25

voltage_2 =AdcRegs.ADCRESULT03; 0,25

voltage_3 =AdcRegs.ADCRESULT10; 0,25

voltage_4 =AdcRegs.ADCRESULT13; 0,25

Epreuve de Moyenne DuréeEPA905

ExerciceN°1 (6 Pts):

1- Quelles sont les principales différences entre un DSP et un microprocesseur conventionnel ?

L'opération MAC : microprocesseur classique nécessite plusieurs cycles d'horloge pour effectuer une telle opération, par contre un DSP l'effectue en un cycle d'horloge.
L'accès à la mémoire : le DSP peut réaliser plusieurs accès mémoire en un seul cycle.
Le Pipeline : pour l'exécution des instructions le DSP utilise le parallélisme PIPELINE
L'architecture : le DSP A une architecture HARVARD par contre un microprocesseur classique à une architecture VONNEUMAN

2- Expliquez les expressions suivantes : architecture HARVARD, DMA, PIPE-LINE

HARVARD : les mémoires programmes et données sont séparés.
DMA : Direct MemoirAcces : accès directe à la mémoire par le biais des canaux.
PIPE-LINE : exécution des instructions en parallèle.

3- Quel est l'avantage de la représentation des nombres en virgule flottante sur la représentation en virgule fixe ?

La représentation en virgule flottante permet de ne pas se soucier des limites des résultats calculés lors de la conception d'un programme.

4- Donner la valeur décimale correspondante à 6, codé en virgule fixe (sur 4 bits).

Conversion en binaire 6 = 0110.
Dans ce mode de codage les poids des bits sont : $-2^{6}, 2^{-1}, 2^{-2}, 2^{-3}$
On a donc 6 ⟷ $2^{-1} + 2^{-2} = 0.5 + 0.25 + = 0.75$

5- Le TMS320F28335 dispose de combien de port I / O ?

Le TMS320F28335 dispose de 88 Entrées / Sorties

6- Le TMS320F28335 dispose de combien d'interruptions masquables et non masquables ?

Le TMS320F28335 dispose de 14 interruptions masquables et 2 interruptions non masquables.

7- Pour les interruptions masquables quelle est la procédure à réaliser pour activer une interruption ?

On désigne le type le type d'interruption (HARDWARE)
On active le IFR
On active le IER (SWITCH)
On active le INTM (GLOBAL SWITCH)
Accès directe au cœur C28335

8- Pour le TMS320F28335 quel est le nombre exact des interruptions hardware possible ?

Le TMS320F28335 dispose de 58 source d'interruptions Hardware possible

9- le Quelle est la valeur maximale pour la fréquence d'échantillonnage dans la conversion ADC pour TMS320F28335 ?

la fréquence maximale est de 25 MHZ.

10- Quel est la différence entre le mode de conversion Cascade et Dual ?

Le mode cascade dispose d'un seul auto-séquenceur par contre le mode dual dispose de deux auto-séquenceur.
Le mode dual dispose d'un séquenceur arbitre par contre le mode cascade ne le dispose pas.
Le mode cascade dispose d'un seul registre de résultat par contre le mode Dual dispose de deux.